

## MATRIX LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP60158421  
Publication date: 1985-08-19  
Inventor(s): YAMAZAKI TSUNEO  
Applicant(s):: SEIKO DENSHI KOGYO KK  
Requested Patent: ☐ JP60158421  
Application Number: JP19840014056 19840128  
Priority Number(s):  
IPC Classification: G02F1/133 ; G09F9/00  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To enable stable operation without generation of ruggedness on the rear of the lower glass substrate of a matrix liquid crystal display device using a thin film transistor by providing a transparent conductive film on the rear of said substrate.

**CONSTITUTION:** A transparent film 32 consisting of tin oxide is first provided on the rear of a glass substrate 18 of a matrix liquid crystal display device using the substrate 18, a gate electrode 19, a gate insulating layer 20, a semiconductor layer 21, a source 22, a drain 23, a source electrode 24, a drain electrode 25, an inter-layer insulating film 26, a light shielding film 27, liquid crystal driving electrodes 28, 30, a glass substrate 29 and a liquid crystal layer 31. Since SnO<sub>2</sub> has corrosion resistance to hydrofluoric acid, etc., generation of ruggedness on the rear of the substrate 18 is obviated and the electrical noise from the outside and static electricity are prevented. Stable operation is thus made possible.

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A)

昭60-158421

⑤ Int. Cl.<sup>4</sup>G 02 F 1/133  
G 09 F 9/00

識別記号

118

庁内整理番号

Z-8205-2H  
6731-5C

④ 公開 昭和60年(1985)8月19日

審査請求 未請求 発明の数 1 (全3頁)

④ 発明の名称 マトリクス液晶表示装置

② 特 願 昭59-14056

② 出 願 昭59(1984)1月28日

⑦ 発 明 者 山 崎 恒 夫 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内  
⑧ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社  
③ 代 理 人 弁理士 最 上 務

## 明 細 書

## 1. 発明の名称 マトリクス液晶表示装置

## 2. 特許請求の範囲

(1) 透明絶縁性基板上に、薄膜トランジスタを二次元のマトリクス状に配列した第一の板と、透明絶縁性基板の一主面上に第一の透明導電膜を設けた第二の板をそれぞれ、前記薄膜トランジスタを配列した面と透明導電膜のある面を向かい合わせ、その間に液晶層を挟持したマトリクス液晶表示装置において、前記第一の板の液晶層と接する面と反対側の面に、第二の透明導電膜を設けたことを特徴とするマトリクス液晶表示装置。

(2) 第二の透明導電膜は二酸化スズよりなることを特徴とする特許請求の範囲第一項記載のマトリクス液晶表示装置。

(3) 薄膜トランジスタは、非晶質シリコンの絶縁ゲート型電界効果トランジスタであることを特徴とする特許請求の範囲第一項記載のマトリクス液晶表示装置。

## 3. 発明の詳細な説明

本発明は液晶と薄膜トランジスタを組み合わせたことにより構成されるマトリクス液晶表示装置に関するものであり、透明導電膜を薄膜トランジスタを設けた基板の裏面に設けることにより、外来ノイズを遮断し、安定な動作を図ることを目的とする。

液晶と薄膜トランジスタを組み合わせて構成される液晶表示装置の等価回路の1例を第1図で示す。単位画素は、絶縁ゲート型電界効果トランジスタである薄膜トランジスタ1、蓄積用コンデンサ2と液晶セル3からなる。画像表示装置としての動作原理は以下のとおりである。例えば、Xi端子にゲート信号が印加されて横方向群の薄膜トランジスタがONとなると映像信号はYi端子からトランジスタ1を通つてコンデンサ2を充電する。ゲート信号が消滅してトランジスタ1がOFFしてもコンデンサ2に貯えられた電荷が液晶セル3に電圧を印加し続けるので、液晶セル3を通ずる光は映像信号によつて変調を受け続けるこ

ができる。第1図に示したように多数の単位画素をマトリクス状に配列し、縦方向( $X_j, X_{j+1}, \dots$ )にゲート信号を走査することによりテレビ画像の表示も可能で、横方向に一斉にトランジスタ群をONされて映像信号群をコンデンサ群に書き込ませ、縦方向に線順次走査しCRTと同等のテレビ画像が得られる。第2図は、薄膜トランジスタを用いた従来のマトリクス液晶表示装置の単位画素の断面を示す図である。ガラス基板4の上には、ゲート電極5、ゲート絶縁層6、半導体層7、ソース8、ドレイン9、ソース電極10、ドレイン電極11、層間絶縁膜12、遮光膜13からなる薄膜トランジスタと、透明導電層からなる液晶駆動電極14が形成されている。ガラス基板4と対向するガラス基板15の上には、透明導電層からなる、液晶駆動用共通電極16が形成されており、ガラス基板4と15の間には液晶層17が挟持されている。液晶層17に、電極14と16の間で電圧を加えることにより、表示が可能となる。ここでは、ガラス基板4、15を挟む偏光板は図から省いてあるが、液

晶層17がTN型か、ゲストホスト型かなどによつて適当に選ぶことができる。ゲート電極5としては、アルミニウム、クロム等の金属が、ゲート絶縁層6としてPVD法などで形成される酸化シリコン、窒化シリコンなどが、半導体層7としてはPVD法などで形成される非晶質シリコンが、ソース8、ドレイン9としてはPVD法で形成されるドーパされたアモルファスシリコンが、ソース電極10、ドレイン電極11としてはアルミニウムが、層間絶縁膜12としてはPVD法などで形成された酸化シリコン、窒化シリコンなどが、トランジスタの光リーク電流を防ぐ、遮光膜13はクロムなどで形成される。透明導電層14、16はITO(インジウム、スズの酸化物)などで形成される。以上各5~16の各層の厚さは、典型的には $0.05\mu m \sim 1\mu m$ 程度である。液晶層17は $5\mu m \sim 15\mu m$ の厚さが普通用いられる。単位画素の平面図法としては、 $50\mu m \sim 1000\mu m$ 程度のタテ・ヨコ寸法が用いられ、典型的な値は $\sim 200\mu m$ である。第2図の従来の画素では

、第1図の等価回路でのキャパシタンス2は、液晶駆動電極14と16の間に形成されていて $\sim 0.1pF$ である。第2図の従来の画素の動作は、ゲート電極5に電圧が加えられると、絶縁層6と半導体層7の界面にチャネルが形成されて、ソース電極10から映像信号をドレイン電極11を介して、液晶駆動電極14に書き込むことができる。

以上に説明した、従来の薄膜トランジスタを用いたマトリクス液晶表示パネルは以下の欠点を有する。即ち

(1) ガラス基板4の裏面は、絶縁物であるので外來の電氣的雑音の影響を受け易い。特に各画素のキャパシタンスは $\sim 0.1pF$ なので、ガラス基板4の裏面の静電気、電圧などで、電極14の電位が変動し、画像の濃淡も変動を受ける。特に照明光源が基板4の近くにあるとき、その電源の影響を受け易い。

(2) ガラス基板4の上に薄膜トランジスタを形成する工程中、全体が絶縁物であると、静電気を帯び易く、チリ、ホコリ等が基板表面に集まり、

欠陥の原因になる。

(3) 同じく、ガラス基板上に薄膜トランジスタを形成する工程中では、ガラス基板4の裏面は、何回にも及びフッ酸等の薬品による腐食を受ける。この為、ガラス基板4の裏面には、微細な凹凸が生じ、表示装置として用いるには見苦しいものとなる。

本発明は、上記のような従来の欠点を除去するためになされたものであり、欠陥が無く、安定に動作する。薄膜トランジスタを用いたマトリクス液晶表示装置を提供することを目的としたものである。以下具体的実施例をもとに説明する。

第3図は、本発明の一実施例を示す図であり、第2図と同様、薄膜トランジスタを用いたマトリクス液晶表示装置の単位画素の断面を示す図である。透明導電層32がガラス基板18の裏面に設けられている以外は第2図と同様の構成である。即ち、第3図の画素も、ガラス基板18、ゲート電極19、ゲート絶縁層20、半導体層21、ソース22、ドレイン23、ソース電極24、ドレイン電極25、層間絶

絶縁膜26、遮光膜27、液晶駆動電極28、30、ガラス基板29、液晶層31からなっている。本発明による透明導電層32に酸化スズ(SnO<sub>2</sub>)を用い、薄膜トランジスタを形成するプロセスの前に、ガラス基板18の裏面に設けておくことにより、プロセス中に静電気が基板上に発生することを防ぐことができる。更に、SnO<sub>2</sub>はフッ酸等に対する耐食性は充分にあるのでプロセス中での腐食に耐えることができ、ガラス基板18の裏面に凹凸ができることはない。更に、第3図のごとく完成した装置においても裏面に導電膜32があることにより外來の電氣的雑音、静電気を防ぐことができる。

以上に記した本発明の、透明導電膜を基板裏面に設けたマトリクス液晶表示装置は

1. 外來雑音、静電気にの影響を受けない
  2. ゴミ、ホコリ等の付着せず、欠陥が無い
  3. 腐食による、裏面の凹凸が無い
- などの特徴を有している。

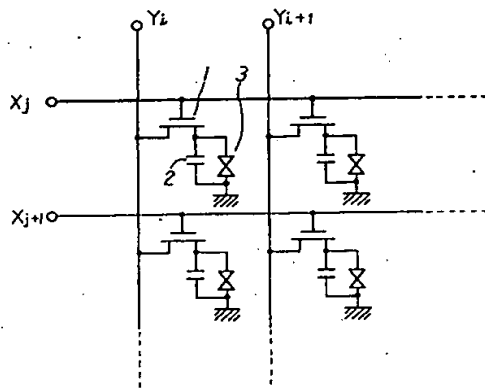
#### 4. 図面の簡単な説明

第1図は、薄膜トランジスタを用いたマトリクス液晶表示装置の等価回路図。第2図は従来の薄膜トランジスタを用いたマトリクス液晶表示装置の単位画素の断面図、第3図は本発明の薄膜トランジスタを用いたマトリクス液晶表示装置の単位画素の断面図である。

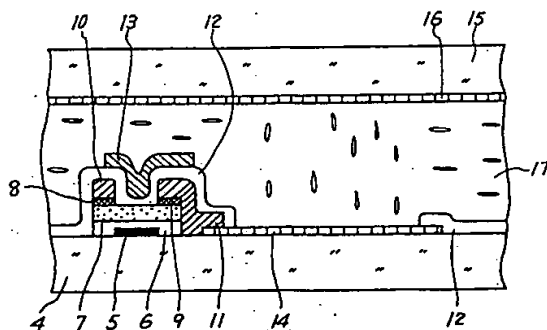
1. . . . . 薄膜トランジスタ、2. . . . . キャパシタンス、3. . . . . 液晶セル、4. . . . . ガラス基板、5. . . . . ゲート電極、6. . . . . ゲート絶縁層、7. . . . . 半導体層、8. . . . . ソース、9. . . . . ドレイン、10. . . . . ソース電極、11. . . . . ドレイン電極、12. . . . . 絶縁層、13. . . . . 遮光層、14. . . . . 透明導電層、15. . . . . ガラス基板、16. . . . . 透明導電層、17. . . . . 液晶層、18. . . . . ガラス基板、19. . . . . ゲート電極、20. . . . . ゲート絶縁層、21. . . . . 半導体層、22. . . . . ソース、23. . . . . ドレイン、24. . . . . ソース電極、25. . . . . ドレイン電極、26. . . . . 絶縁層、27. . . . . 遮光膜、28. . . . . 透明導電層、29. . . . . ガラス基板、30. . . . . 透明導電層、31. . . . . 液晶層、32. . . . . 透明導電層。
- 以上

出願人 セイコー電子工業株式会社

第1図



第2図



第3図

